

PAT-NO: JP402159989A
DOCUMENT-IDENTIFIER: JP 02159989 A
TITLE: TIMING SIGNAL GENERATOR
PUBN-DATE: June 20, 1990

INVENTOR-INFORMATION:

NAME	COUNTRY
YAMAMOTO, TORU	
DATE, KAZUHARU	
NAKATO, YOSHIHISA	
IMAI, SHIGENORI	

ASSIGNEE-INFORMATION:

NAME	COUNTRY
SHARP CORP N/A	

APPL-NO: JP63312486
APPL-DATE: December 9, 1988

INT-CL (IPC): H02P005/00 , G11B015/10 , G11B015/46

US-CL-CURRENT: 318/568.1

ABSTRACT:

PURPOSE: To generate a timing signal whose pattern can be changed as required any time by a method wherein a reprogrammable memory which can store output data and time data, a reprogramming control means for reprogramming the stored content of the memory and so forth are provided.

CONSTITUTION: A reprogrammable memory 5 which can store a plurality of output data and time data corresponding to the output data individually, a reprogramming control means 3 for reprogramming the stored content of the memory 5, an output control means 12 which outputs the read timing data as timing signals from the memory 5 until the data agrees with the count value of a counting means 9 and

so forth are provided. Therefore, by reprogramming the data stored in the reprogrammable memory, a timing signal having a required pulse waveform can be generated and outputted. With this constitution, complex control can be performed with a simple construction.

COPYRIGHT: (C)1990,JPO&Japio

⑫ 公開特許公報(A)

平2-159989

⑬ Int.Cl.⁹

識別記号

庁内整理番号

⑭ 公開 平成2年(1990)6月20日

H 02 P 5/00
G 11 B 15/10
15/46

Q 7315-5H
C 7314-5D
E 7426-5D

審査請求 未請求 請求項の数 1 (全8頁)

⑮ 発明の名称 タイミング信号発生回路

⑯ 特 願 昭63-312486

⑰ 出 願 昭63(1988)12月9日

⑱ 発 明 者 山 本 徹 大阪府大阪市阿倍野区長池町22番22号 シャープ株式会社
内
⑲ 発 明 者 伊 迫 和 治 大阪府大阪市阿倍野区長池町22番22号 シャープ株式会社
内
⑳ 発 明 者 中 藤 良 久 大阪府大阪市阿倍野区長池町22番22号 シャープ株式会社
内
㉑ 発 明 者 今 井 繁 規 大阪府大阪市阿倍野区長池町22番22号 シャープ株式会社
内
㉒ 出 願 人 シャープ株式会社 大阪府大阪市阿倍野区長池町22番22号
㉓ 代 理 人 弁理士 西教 圭一郎 外2名

明 細 書

1. 発明の名称

タイミング信号発生回路

2. 特許請求の範囲

クロック信号を発生するクロック信号発生手段と、

前記クロック信号のバースを計数する計数手段と、

前記の出力データと、この出力データに個別に対応する時刻データとをストアすることが出来る符号換え可能なメモリと、

前記メモリのストア内容を符号換えるための符号換え制御手段と、

前記メモリの時刻データを順次読出し、この時刻データが前記計数手段の計数値と一致するときに、その時刻データに対応する出力データを、次に読出した時刻データと計数手段の計数値とが一致するまで、メモリからタイミング信号として出力させる出力制御手段とを含むことを特徴とするタイミング信号発生回路。

3. 発明の詳細な説明

① 以上の利用分野

本発明は、たとえばオーディオ記録またはビデオ記録などにおいて符号に同期され、たとえばモータなどの回転速度を制御するために使用されるタイミング信号発生回路に関する。

従来の技術

たとえばビデオテープ記録/再生装置やオーディオテープ記録/再生装置などでは、駆動テープを送行駆動するためのモータを必要とする。近年、このようなモータには、ステッピングモータなどが使用されるようになってきた。このようなモータを制御するためには、たとえば同一周波数で位相の異なる複数のパルス信号を与える必要がある。モータは、このようなパルス信号に同期して回転駆動される。このためビデオテープ記録/再生装置またはオーディオテープ記録/再生装置などには、このようなパルス信号であるタイミング信号を作成するためのタイミング信号発生回路が備えられている。

従来のタイミング信号発生回路は、タイミング信号を発生するためのデータを格納するためのリードオンリメモリ(ROM)およびクロック信号を発生するクロック信号発生手段を備えており、このクロック信号を計数し、その計数値とROMに格納されているデータとを比較し、タイミング信号のハイレベルまたはローレベルを切り替えてパルス信号を生成している。

発明が解決しようとする課題

たとえばビデオテープ記録/再生装置においては、録画再生の他に、早送り再生、早送りまたは可変スローあるいは遅延再生など、さまざまなモードに対応して磁気テープを回転するモータの回転速度を制御するようになってきている。しかしながら、上述したタイミング信号発生回路では、タイミング信号を作成するためのデータがROMに格納されているために、このようなタイミング信号発生回路から発生されるタイミング信号は、その出力パターンが限定されていた。したがってビデオテープ記録/再生装置の多機能化を実現する

ためには、従来のタイミング信号発生回路を改良しなければならず、構成が複雑化し、コストアップを招来した。

本発明の目的は、上記技術的課題を解決し、簡単な構成で所望のパルス波形を有するタイミング信号を発生することができるタイミング信号発生回路を提供することである。

課題を解決するための手段

本発明は、クロック信号を発生するクロック信号発生手段と、

前記クロック信号のパルスを計数する計数手段と、

前記の出力データと、この出力データに個別に対応する時刻データとをストアすることができる書き換え可能なメモリと、

前記メモリのストア内容を書き換えるための書き換え制御手段と、

前記メモリの時刻データを順次読出し、この時刻データが前記計数手段の計数値と一致するときに、その時刻データに対応する出力データを、次

に読出した時刻データと計数手段の計数値とが一致するまで、メモリからタイミング信号として出力させる出力制御手段とを含むことを特徴とするタイミング信号発生回路である、

作 用

本発明に従うタイミング信号発生回路においては、クロック信号発生手段によって発生されたクロック信号のパルスは、計数手段によって計数される。また書き換え可能なメモリには、前記の出力データと、この出力データに個別に対応する時刻データとがストアされる。出力制御手段は、このメモリにストアされる時刻データを順次読出し前記計数手段の計数値と比較する。時刻データと前記計数値とが一致するときに、その時刻データに対応する出力データを次に出力制御手段が読出した時刻データと、計数手段の計数値とが一致するまでの間メモリから出力させる。このような動作を繰り返すことによって時刻データによって定められる期間毎に、出力データが更新され、これによってパルスを有するタイミング信号が発生

される。

本発明に従えば、書き換え可能なメモリのストア内容を書き換えるための書き換え制御手段が備えられており、メモリのストア内容を書き換えることによって所望のパターンを有するタイミング信号を即時切換えて発生することができる。

実施例

第1図は本発明の一実施例のタイミング信号発生回路1の構成を示すブロック図である。クロック信号発生回路1は、たとえばいわゆるワンチップマイクロコンピュータなどで構成され、タイミング信号を発生するための出力部2と、内部のデータバスDB1に接続される書き込み制御回路3と、RAM4と、ROM5と、給電回路6と、外部回路などを前記データバスDB1に接続する入出力ポート7と、クロック信号発生手段であるクロック信号発生回路8とを含んで構成される。

書き込み制御回路3は、入出力ポート7を介して外部回路などから出力されるデータに基づいて各種演算処理を行う。このような演算処理を行うた

めのプログラムおよび伝送するタイミング信号のパターンデータの各データなどは、ROM 5に記憶される。また演算を行うに当たって、必要な記憶領域はRAM 4に設けられている。制御回路6は、読み込み制御回路3などのアドレス指定に追随したデータバスDB 1の制御などを行うために設けられる。

出力部2は、外部にタイミング信号を出力するための出力ポート14と、専用のデータバスDB 2に接続され、書き換え可能なメモリであるRAM 13と、RAM 13からの出力動作を制御し、出力制御手段である出力制御回路12とを含む。前述したクロック信号発生回路8が出力するクロック信号は、カウンタ9によって計数される。カウンタ9の計数値は出力部2に設けられるカウンタ近接制御回路10に与えられる。カウンタ近接制御回路10は、読み込み制御回路3からデータバスDB 1を介して与えられるデータに基づいて、カウンタ9の計数値に演算を施し、たとえば10ビットのカウント11に演算結果を出力する。たと

えばカウンタ近接制御回路10は、カウンタ9の計数値のデータバスDB 1から指定されるビットをカウンタ11に導出する。

カウンタ11の計数値CNTは、出力制御回路12によって読出される。また出力制御回路12は、データバスDB 2を介してRAM 13から伝送する10ビットの時刻データを読出し、カウンタ11の計数値CNTと比較し、伝送するようにRAM 13から出力ポート14へのデータの出力を制御する。

図2図は、RAM 13のストア内容を示す図である。RAM 13は、16ビットからなる複数の領域M1～Mnから形成され、各領域Mi(i=1, 2, …, n)は、上位6ビットの出力データ用領域Ma iと、下位10ビットからなる時刻データ用領域Mb iとからなる。

このようなRAM 13のストア内容は読み込み制御回路3から出力され、データバスDB 1およびデータバスDB 2を介して出力されるデータによって書き換えることができる。

出力制御回路12は、RAM 13の時刻データを領域Mb 1～Mb nから順次的に読出す。たとえばRAM 13の領域Mb iの時刻データが出力制御回路12によって読出されているときには、この時刻データとカウンタ11の計数値CNTとが比較され、両者が一致すると同時に出力制御回路12は、RAM 13から領域Ma iにストアされる出力データを出力させる。この出力データは、データバスDB 2を介して出力ポート14に与えられ、出力ポート14から6ビット並列で、たとえばモータ16を駆動するための駆動回路15に与えられる。このような出力ポート14からのデータはタイミング信号と称され、モータ16の回転速度などを制御する。

このようなタイミング信号発生回路1は、図2図に示されるようなパターンデータをRAM 13に記憶するので、そのストア内容を書き換えるために前述した読み込み制御回路3などを含んでおり、いわゆるマイクロコンピュータとしての機能を果たしている。図3図は、RAM 13への読み

込み動作を説明するためのフローチャートであり、以下、図3図に従って読み込み動作を説明する。まずステップn1において読み込み制御回路3は、ROM 5にストアされるパターンデータの各データを読出す。読出された各データは、たとえばRAM 4にストアされる。

この後ステップn2において、たとえばこのタイミング信号発生回路がビデオテープ記録/再生装置に使用されている場合には、そのビデオテープ記録/再生装置において、たとえば「再生」、「速戻再生」、あるいは「早送り」などの動作が行われる。この動作に対応した信号SGが外部回路などから入出力ポート7に導出される。この信号SGは、たとえばモータ16の回転速度に対応している。

読み込み制御回路3は、ステップn3において、この信号SGをデータバスDB 1を介して読出する。この後ステップn4においてROM 5にストアされるプログラムに従って、その信号SGに対応してRAM 4にストアされる各データに演算

図形を記す。

この後ステップn5において、読み込み制御回路3からデータバスDB1、DB2を介してRAM13に読み込まれ、このようにしてRAM13のパターンデータが書き換えられる。

以上は外部回路における信号を抽出して読み込み制御回路3においてパターンデータを作成して、そのパターンデータでRAM13のストア内容を書き換える場合について説明したけれども、たとえば駆動のモータ16を駆動して制御する場合には、各モータに対してこのタイミング信号発生回路1が与えられる。このような場合には、各タイミング信号発生回路1を制御するための制御回路が外部回路として設けられ、その制御回路から各モータ16を制御するためにパターンデータを出力させる。このように構成すれば、容易に駆動のモータ16を駆動して制御することができる。

上述した場合には、外部の制御回路から入出力ポート7を介してデータバスDB1には、パター

ンデータが与えられる。読み込み制御回路3は、このパターンデータを読み取ってデータバスDB2を介してRAM13に読み込む。このようにして制御回路などの外部回路からパターンデータを出力し、タイミング信号発生回路1のRAM13に読み込むように構成することもできる。

第4図は、このタイミング信号発生回路1のタイミング信号の出力動作を説明するためのフローチャートである。ステップm1において、出力制御回路12は、RAM13の領域Mb1から時刻データT1を取出す。なお初期状態においては、J=1である。

ステップm2では、出力制御回路12は、領域Mb1の時刻データT1とカウンタ11の計数値CNTとを比較する。両者が一致する場合には、ステップm3に進んで、領域Mb1の出力データを出力ポート14から駆動回路16に出力する。

この後ステップm4において、Jの値がインクリメントされ、ステップm1に戻り同様の動作が繰り返される。

たとえば第2図に示すようなパターンデータがRAM13にストアされている場合には、カウンタ11の計数値CNTが「0000000100」になったときに出力ポートからは「101010」のデータが出力される。この後カウンタ11の計数値CNTが順次インクリメントされ、「00000001000」になると、領域Mb2にストアされる出力データ「111111」が出力される。さらにカウンタ11の計数値CNTがインクリメントされ、「000000010000」になると領域Mb3の出力データ「010101」が出力される。

この後、たとえば領域Mb4の時刻データが「0000000010」のように領域Mb3の時刻データよりも小さい場合には、カウンタ11は順次インクリメントされ、いわゆるオーバーフローして再び初期値から計数動作を繰り返す。このとき、上述した動作が循環から繰り返される。すなわち領域Mb1+1の時刻データが、領域Mb1の時刻データよりも小さい場合には、領域Mb

1+1の出力データは出力されない。領域Mb1の出力データが出力され、カウンタ11が順次インクリメントされている間は、領域Mb1の出力データが出力ポート14にラッチされる。その後、カウンタ11がオーバーフローすると、再び領域Mb1の出力データが出力され、上述した動作によって領域Mb1までの出力データが順次出力される。なお領域Mb nの時刻データと、カウンタ11の計数値CNTとの比較が終了した場合には、再び領域Mb1の時刻データが取出されてカウンタ11の計数値CNTと比較される。

このようにして本実施例において、たとえばモータ16がステッピングモータである場合に、出力ポート14から並列で周期が等しく位相の異なるパルス信号を出力し、モータ16の回転位置を制御して駆動する場合にRAM13のパターンデータを読み換えることによって、相対位置の回転位置あるいは回転方向を自在に変更して制御することができる。また本実施例においては、このようなタイミング信号を出力しているときにおいて

も、RAM 13のパターンデータを外部回路などから読み取ることができ、モータ16の回転速度あるいは回転方向の検出を簡単に行うことができる。

モータ16が、たとえば2極回転の4極モータである場合について、図5図および第6図を参照して説明する。なお、図5図のために $n=4$ とする。このような場合には、たとえば出力ポート14から出力される6ビットのタイミング信号の上位4ビットのタイミング信号をそれぞれタイミング信号φ1～φ4とし、モータ16をこのタイミング信号φ1～φ4を駆動して制御する。

モータ16を回転させるにあたっては、RAM 13には、たとえば図5図に示されるようにデータがストアされる。このような場合には、このタイミング信号発生回路1がリセットされるとともに出力データ用レジスタM_a1の出力データが出力ポート14から出力される。このようにして、出力データ用レジスタM₁～M₄の出力データが順次出力ポート14から出力され、すなわち図6図(

1)～第6図(4)に示されるタイミング信号φ1～φ4が図6図15に出力される。これによってモータ16はこのタイミング信号φ1～φ4の周期に対応する回転速度で回転駆動される。なお、期間W1はカウンタ11が2ⁿクロックだけ計数する期間である。

このようなモータ16を、たとえば上図した回転速度で反対方向に回転させる場合には、RAM 13にストアされるデータは、図7図に示されるように記憶される。この場合にタイミング信号発生回路1から出力されるタイミング信号φ1～φ4は、図8図(1)～第8図(4)に示される。

レジスタM₁の15ビットおよび12ビットは「1」であるので図6図(1)および図6図(4)に示されるタイミング信号φ1、φ4はハイレベルとなる。カウンタ11の計数値CNTがインクリメントされ、リセットされてからカウント値比較回路10からのクロック信号において、2ⁿクロック経過後、すなわち期間W1を経過すると出力データ用レジスタM_a2の出力データが出力される。

レジスタM₂において、15ビットおよび14ビットが「1」であるので、図6図(2)に示されるタイミング信号φ2がハイレベルとなり、タイミング信号φ4はローレベルとなる。さらに期間W1が経過すると図6図(3)に示されるタイミング信号φ3がハイレベルとなり、タイミング信号φ1はローレベルとなる。

このようなタイミング信号φ1～φ4によってモータ16は、前述した場合とは反対方向に回転駆動される。

本発明例においては、モータ16のサーボ制御にタイミング信号発生回路1を適用する場合について説明したけれども、モータ16の回転速度あるいは回転方向などの制御に限定する必要はなく、たとえばタイミング信号発生回路1からのタイミング信号をインタフェースを介して他のデバイスを制御するように構成することもできる。

発明の効果

以上の説明したように本発明によれば、読み取り可能なメモリにストアされるデータを読み取り

ることによって所望のパルス波形を有するタイミング信号を作成して出力することができる。したがってこのようなタイミング信号発生回路を使用すれば、回路を構成で複雑な制御を行うことが可能となる。

4. 図面の簡単な説明

図1図は本発明の一実施例のタイミング信号発生回路1の構成を示すブロック図、図2図はタイミング信号発生回路1のRAM 13のストア内容を示す図、図3図はタイミング信号発生回路1のRAM 13の読み取り動作を説明するためのフローチャート、図4図はタイミング信号発生回路1の出力動作を説明するためのフローチャート、図5図はRAM 13のデータ例を示す図、図6図は図5図示のデータがRAM 13にストアされているときに出力されるタイミング信号φ1～φ4の波形図、図7図はRAM 13の他のデータ例を示す図、図8図は図7図示のデータがRAM 13にストアされているときに出力されるタイミング信号φ1～φ4の波形図である。

1…タイミング信号発生回路、2…出力部、3…読み出し回路、4…ランダムアクセスメモリ、5…リードオンリメモリ、6…論理回路、7…入出力ポート、8…クロック信号発生回路、9、11…カウンタ、10…カウント値制御回路、12…出力制御回路、13…ランダムアクセスメモリ、14…出力ポート、15…駆動回路、16…モータ

代理人 弁理士 西條 金一郎

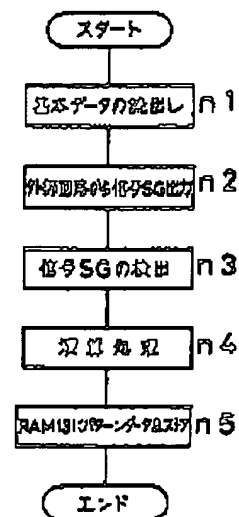


図 3 図

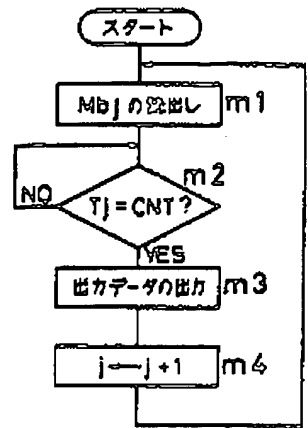


図 4 図

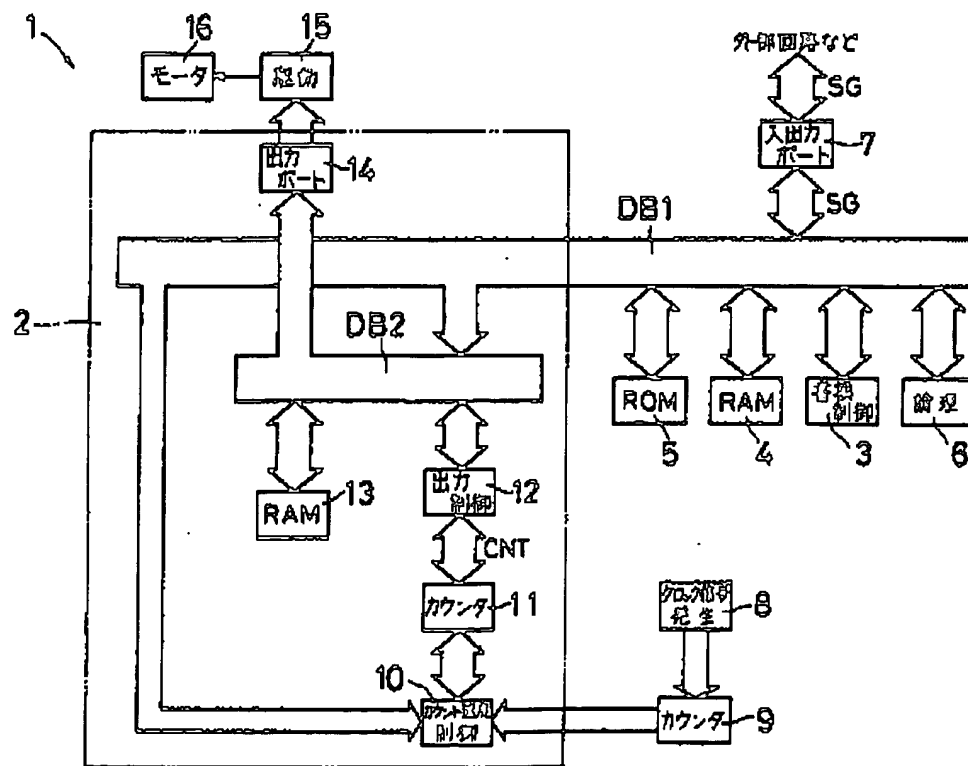
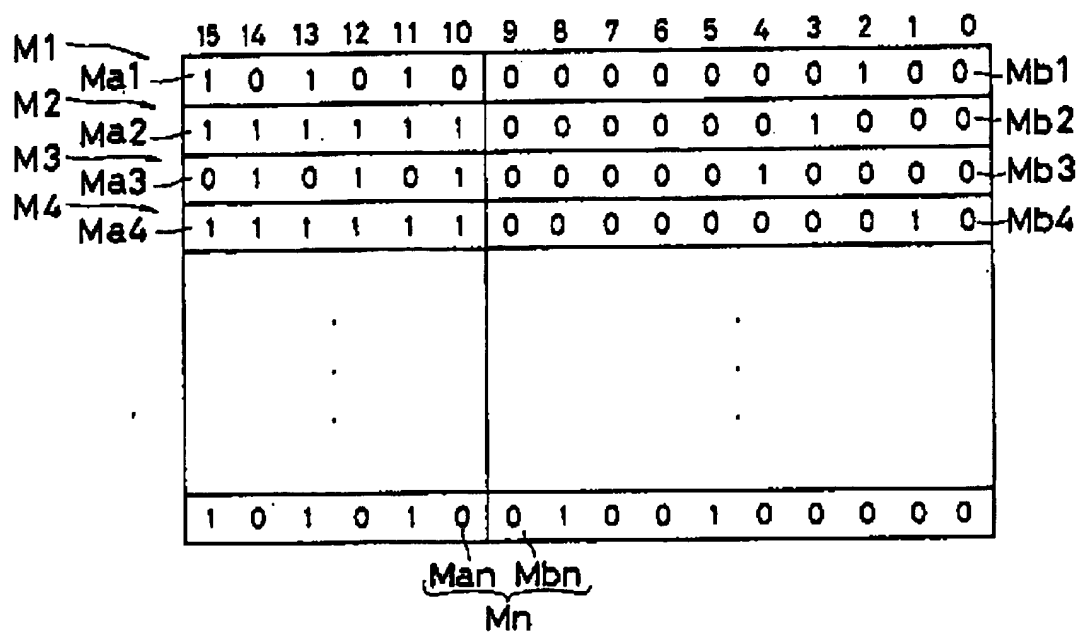
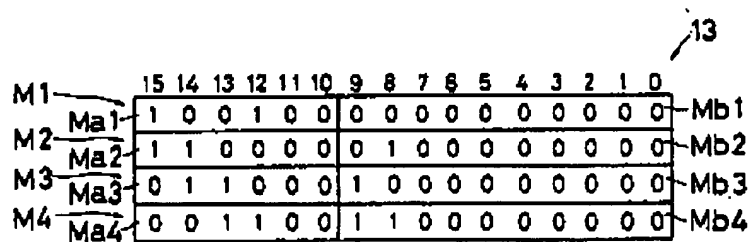


図 1 図

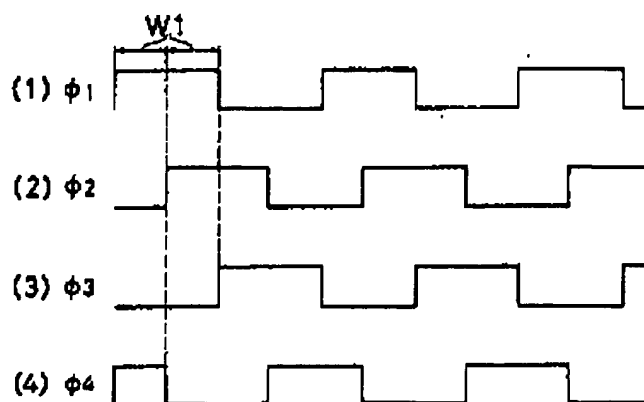
13



第 2 圖



第 5 図

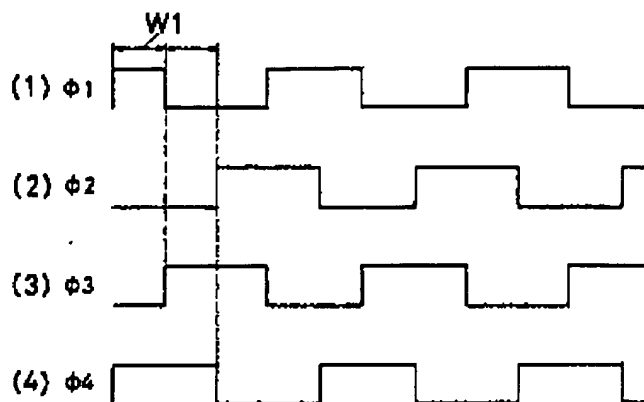


第 6 圖

13

M1		15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
	Ma1	0	0	1	1	0	0	0	0	0	0	0	0	0	0	0	0	Mb1
M2	Ma2	0	1	1	0	0	0	0	1	0	0	0	0	0	0	0	0	Mb2
M3	Ma3	1	1	0	0	0	0	1	0	0	0	0	0	0	0	0	0	Mb3
M4	Ma4	1	0	0	1	0	0	1	1	0	0	0	0	0	0	0	0	Mb4

第 7 圖



第 8 圖